

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-044122
(43)Date of publication of application : 14.02.1997

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 5/12
H04N 5/66

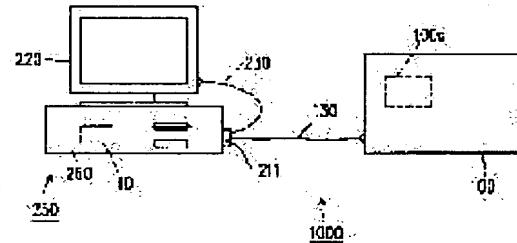
(21)Application number : 07-198747 (71)Applicant : SHARP CORP
(22)Date of filing : 03.08.1995 (72)Inventor : UNO TAKAAKI
HORINO SHINJI
HIRAYAMA YASUHIRO
MIZUMOTO YUKIHIRO

(54) LIQUID CRYSTAL DISPLAY SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To supply a signal for producing a dot clock to a liquid crystal panel side without causing a great change in the specifications of a personal computer side, to easily produce dot clocks in the liquid crystal panel side and to provide an image display by a stable liquid crystal panel without flickering of dots or shaking of the screen in a liquid crystal display system.

SOLUTION: In a personal computer side 250, dot clock bursts generated in its video signal outputting part 10 are superposed to horizontal synchronizing signals, these are supplied as synthesized synchronizing signals to a liquid crystal display device 100 and in the liquid crystal display device 100, the dot clock bursts are extracted from the synthesized synchronizing signals and based on these signals dot clocks are reproduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

THE PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-44122

(43)公開日 平成9年(1997)2月14日

(51) Int.Cl. * 識別記号 庁内整理番号 F I 技術表示箇所
 G 0 9 G 3/36 G 0 9 G 3/36
 G 0 2 F 1/133 5 0 5 G 0 2 F 1/133 5 0 5
 G 0 9 G 5/12 9377-5H G 0 9 G 5/12
 H 0 4 N 5/66 1 0 2 H 0 4 N 5/66 1 0 2 B

審査請求 未請求 請求項の数4 OL (全 18 頁)

(21)出願番号 特願平7-198747

(22)出願日 平成7年(1995)8月3日

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鵜野 高明
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72) 発明者 堀野 真司
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72) 発明者 平山 泰弘
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74) 代理人 弁理士 山本 秀策

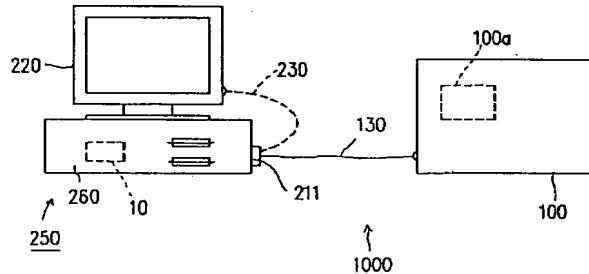
最終頁に統く

(54) 【発明の名称】 液晶表示システム

(57) 【要約】

【課題】 液晶表示システムにおいて、パソコン側での大幅な仕様変更を招くことなく、液晶パネル側にドットクロックを生成するための信号を供給することができ、また、液晶パネル側でのドットクロックの生成を簡単なものとするとともに、ドットのちらつきや画面の揺れの無い安定した液晶パネルによる画像表示を得る。

【解決手段】 パソコン250では、そのビデオ信号出力部10で発生したドット・クロック・バーストを水平同期信号に重畠し、これらを合成同期信号として液晶表示装置100に供給するようにし、該液晶表示装置100では、該合成同期信号からドット・クロック・バーストを抜き出し、これに基づいてドット・クロックを再生するようにした。



【特許請求の範囲】

【請求項1】 カラービデオ信号を出力するビデオ信号出力部を有する演算処理装置と、該演算処理装置からのカラービデオ信号をアナログ信号ケーブルを介して受け、該カラービデオ信号をアナログ-デジタル変換したデジタル信号により画像表示を行う液晶表示装置とを備えた液晶表示システムであって、

該演算処理装置のビデオ信号出力部は、バースト状のドットクロックを発生するクロック発生部と、水平同期信号あるいは垂直同期信号上にバースト状のドットクロック信号を重畠して合成同期信号を出力する同期合成回路とを有するものであり、

該液晶表示装置は、該合成同期信号から水平同期信号あるいは垂直同期信号とバースト状のドットクロック信号とを分離する分離回路を有し、該分離されたバースト状のドットクロック信号に基づいて、該カラービデオ信号をアナログ-デジタル変換するためのサンプリング信号を作成するよう構成したものである液晶表示システム。

【請求項2】 請求項1記載の液晶表示システムにおいて、該演算処理装置のビデオ信号出力部は、前記同期合成回路の前段に設けられた、ドットクロック信号の周波数帯域を制限する帯域通過フィルタを備え、該帯域通過フィルタの出力として得られたドットクロック信号を、水平同期信号と合成するよう構成したものである液晶表示システム。

【請求項3】 請求項2記載の液晶表示システムにおいて、前記同期合成回路は、前記バースト状のドット・クロックに対して、その液晶表示装置側での振幅が、該液晶表示装置側で設定されている論理回路の閾値を越えないよう、振幅制限処理を施して、該バースト状のドット・クロックを前記水平同期信号あるいは垂直同期信号と合成する回路構成としたものであり、

該液晶表示装置側の分離回路は、該同期合成信号から、該振幅が制限されたバースト状のドット・クロックを、分離可能な構成としたものである液晶表示システム。

【請求項4】 カラービデオ信号を出力するビデオ信号出力部を有する演算処理装置と、該演算処理装置からのカラービデオ信号をアナログ信号ケーブルを介して受け、該カラービデオ信号をアナログ-デジタル変換したデジタル信号により画像表示を行う液晶表示装置とを備えた液晶表示システムであって、

該演算処理装置のビデオ信号出力部は、該演算処理装置本体に着脱可能なビデオボード上に搭載されており、該ビデオ信号出力部は、ドット・クロックを発生するクロック発生部を有し、液晶表示装置側でのドット・クロックに対して、その液晶表示装置側での振幅が、該液晶表示装置側で設定されている論理回路の閾値を越えないよう振幅制限処理を施して、該ドット・クロックを該水

平同期信号と合成する構成となっており、

該液晶表示装置は、該合成同期信号から水平同期信号とドットクロック信号とを分離する分離回路を有し、該分離されたドットクロック信号に基づいて、該カラービデオ信号をアナログ-デジタル変換するためのサンプリング信号を作成するよう構成したものである液晶表示システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示システムに関し、特にパーソナルコンピュータ（以下パソコンという。）等からのカラービデオ信号を、高精細度の液晶表示パネルにより画像表示する液晶表示システムにおいて、ビデオ信号と同期信号との位相ズレや同期信号自身の変動に起因した表示画面上のジッタ等を低減し、安定で鮮明な画像表示を行うことができるようしたものに関する。

【0002】

【従来の技術】通常、パソコン等の演算処理装置では、その画像表示器としてCRT（陰極線管）を用いており、パソコン本体からのビデオ表示出力は、CRTを対象としたものとなっている。

【0003】図8は演算処理装置の1種であるパソコンを説明するための図であり、図8(a)は、パソコンの外観を示す図、図8(b)はパソコン本体の内部構造を示す図、図8(c)はパソコン本体とCRT表示部とを接続するコネクタの構造を示す図である。なお、図8(c)では、VESAで規定された標準VGAビデオ出力用コネクタのピン配置が示されている。図において、200はパソコンであり、演算処理を行うパソコン本体部210と、該パソコン本体部からのビデオ表示信号を画像表示するCRT表示部220とを備え、該パソコン本体部210のビデオ表示出力はアナログケーブル230を介してCRT表示部220へ供給されるようになっている。該アナログケーブル230の一端は、接続用コネクタ211を介してパソコン本体210に接続され、その他端はCRT表示部220に接続されている。

【0004】上記パソコン本体部210には、CPUの機能をもったLSIチップ201、RAM及びROMとしてのLSIチップ202及び203、入出力装置としてのLSIチップ204等を搭載したマザーボード210aが内蔵されている。また、パソコン本体部210には、CPUでの演算処理内容を表示するためのビデオ信号を出力するビデオ信号出力部（以下ビデオ信号生成部ともいう。）を搭載したビデオボード210bが装着されており、このビデオボード210bは、パソコンメーカー以外のメーカーが提供できるような構成となっている。ここで、上記ビデオボード210bには、ビデオ信号生成部として、ビデオメモリとしてのLSIチップ205、CRT表示部での画像表示に必要な信号を生成する

信号生成部の機能を有するLSIチップ206, 207等が搭載されている。

【0005】図9は、上記ビデオ信号生成部の回路構成を示すブロック図であり、図において、20は上記ビデオ信号生成部で、画像データが格納されているビデオメモリ21と、CPUバスあるいはローカルバスからの信号に基づいて、該ビデオメモリ21から画像データを読み出す等の処理を行う画面表示制御回路22と、読み出されたデジタル画像データをデジタル-アナログ変換するDA変換回路(DAC)23と、所定周波数の信号を発生する発振器を有し、種々のタイミング信号を発生するタイミング生成回路24とを有している。

【0006】該タイミング生成回路は24は、内部の発振器の発振出力に基づいて水平同期信号Sh及び垂直同期信号Svを発生するとともに、ビデオメモリからの画像デジタルを読み出すためのタイミング信号S1、及びDA変換を行うためのタイミング信号S2を発生するよう構成されている。

【0007】上記ビデオメモリ21及び各回路22~24は、LSIチップ206, 207内に形成されて上記ビデオボード210b上に搭載されている。なお210b₁は、上記ビデオボード210bのソケットで、該ソケット210b₁によりマザーボード210a上の各回路に接続されている。

【0008】ここで、上記パソコン本体210からは、図9に示すように、該ビデオ表示出力として、赤(R)、緑(G)、青(B)の3種のビデオ信号Vr, Vg, Vbと、水平同期信号Sh及び垂直同期信号Svとが上記コネクタ211を介してCRT表示部220側へ出力されるようになっている。

【0009】ところで、近年、信号ピンの割り当て等、比較的標準化が進み、上記パソコン200では、上記コネクタ211として図8(c)に示すような15ピンのD-subコネクタを用いている。また、DDC1、2(ディスプレイ・データ・チャンネル1、2)システムでは、15ピン全部が対応する信号の規定されたもの(標準VGAビデオ出力用コネクタ)となっている。この場合、ピン1~ピン3は、ビデオ赤信号、ビデオ緑信号、ビデオ青信号に対応したもの、ピン6~8は、赤リターン信号、緑リターン信号、青リターン信号に対応したもの、ピン11, 12, 4, 15は、それぞれモニタIDビット0, 1, 2, 3に対応した信号ピンとなっている。またピン9はテスト信号、ピン9はNC信号、ピン10は同期リターン信号に対応したものとなっている。ピン13, ピン14はそれぞれ水平同期信号、垂直同期信号に対応したものとなっている。

【0010】このようにパソコン本体からのビデオ表示信号をCRT表示器により画像表示する場合は、同期信号としては水平同期信号と垂直同期信号のみを表示器に供給すれば、安定した画像表示を行うことができる。

【0011】ところで、上記パソコン本体からのビデオ表示信号を、CRT表示器に代えて、液晶パネルを用いて画像表示させたい場合もあり、図10(a)はパソコン本体からのビデオ表示信号を液晶ディスプレイ(以下、液晶パネルともいう。)により画像表示するシステムを示している。

【0012】図において、図8と同一符号は同一のものを示し、110はパソコン本体210からアナログケーブル130を介してビデオ表示信号が供給される液晶表示装置(液晶ディスプレイ)である。該アナログケーブル130はその一端がパソコン本体210に接続用コネクタ211を介して接続され、その他端は液晶パネル110に接続されている。

【0013】上記液晶表示装置110は、表面に複数の信号電極(データ信号線)115を形成した基板と、表面に複数の走査電極(走査信号線)114を形成した基板とを、該両電極が交差するよう対向させて配置し、該両基板間に液晶を介在させてなる液晶パネル110aと、上記データ信号線を駆動するデータドライバ150と、上記走査信号線を駆動する走査ドライバ140と、表示コントロール回路を含む信号処理部120とを備えている。ここで、上記液晶パネル110aは、上記データ信号線と走査信号線との交差部分に絵素(以下ドットともいう。)Pが形成されている。

【0014】上記液晶表示装置110では、デジタル化されたビデオデータは、通常バッファ・メモリに一時保持され、液晶パネルへ適当なタイミングで読み出される。このタイミング信号の周波数は、上述のドット・クロックとは少し異なり、普通は、ドット・クロックよりやや低い周波数に設定する。これは、CRT表示器では必要な帰線期間が液晶パネルの場合には不要であり、これを表示期間として使うことができ、より長い期間で表示ができる(つまり、走査周波数を低くできる)ので、液晶パネル上のドライバの動作の上限周波数条件をクリアし易くなる等の理由による。さらに、ドライバの動作条件を緩和するために、ビデオデータを2系等に分けてバッファ・メモリに保持し、それぞれの系統のバッファメモリからビデオデータを液晶パネルに供給する等の方法が採られることもある。

【0015】このような構成の画像表示システムでは、液晶パネル110を構成する各絵素P毎に、これに対応するビデオ信号を所定のタイミングで正確に与える必要があり、このため、液晶パネル110側では、主に、アナログのビデオ入力信号をADC(アナログデジタル変換器)で変換する際のサンプリング信号として使われるドット・クロックを生成するようしている。

【0016】また、このドット・クロックは、CRT表示器との併用性(コンパチビリティ)を考慮して、従来方式の垂直及び水平同期信号のみから生成している。

【0017】例えば、通常は、上記ドット・クロック

は、PLL（フェイズ・ロックド・ループ）回路、VCO（ボルテージ・コントロールド・オシレータ）回路、及び必要に応じて分周回路等を使用して生成するようしている。

【0018】図10(b)は、液晶パネル側に設けられたドットクロックの生成回路を示すブロック図であり、図において、120aは、上記信号処理部120内に構成された、水平同期信号からドットクロックを生成するためのクロック生成回路で、水平同期信号Shと、ドットクロックDcの分周出力とを比較する位相比較器11と、該位相比較器11の正、負の比較出力Cp, Cnをフィルタ13及びコンデンサ14を介して受け、該比較出力に対応した周波数のドットクロックを発生する電圧制御発振器(VCO)15とを有している。上記電圧制御発振器15と位相比較器の一方の入力との間には、分周器12が設けられている。

【0019】ところが、このような回路構成のクロック生成回路では、ドットクロックDcを安定に生成するためには種々の工夫が必要となる(特開平7-110667号公報参照)。なぜなら、ドットクロックDcは上述したように、主に、アナログのビデオ入力信号をADC(アナログデジタル変換器)で変換する際のサンプリング信号として使われるものであり、これによって、ビデオ信号をどれだけ適正な時刻にサンプリングできるかが決まるからである。

【0020】すなわち、ビデオ信号に対するドット・クロックの位相ずれや揺らぎは、液晶パネル上の各ドットの表示状態に大きく影響する。具体的には、位相ずれや揺らぎによって、文字や線の表示がかすれたり、線が太く見えたり、ちらついたりする等、表示品位が大きく損なわれる事態が生ずる。

【0021】従って、ドット・クロックの周波数及び位相は常に、信号発生側(パソコン側)でのビデオ信号のデジタル-アナログ変換のタイミングと正確に一致させる必要がある。

【0022】

【発明が解決しようとする課題】ところで、精細度の高い液晶パネルでは、水平同期信号の周波数に対して、ドットクロックの周波数は、1000～1500倍あるいはそれ以上と極めて高くなるので、液晶パネル側のドットクロック生成回路は、水平同期期間中の発信周波数が安定であり、しかも水平同期パルスに高速かつ確実に応答するものでなければならない。また、上記ドットクロック生成回路は、常に、ドットクロックと、パソコン側のビデオ信号のサンプリングタイミングとの間で同じ位相関係を高い精度で保持できるものでなければならない。

【0023】しかし、通常、PLL回路及びVCO回路を用いたドットクロック発生回路では、長期間の安定と短期間の即応との両立性を与えることは、技術上難しさ

がある。

【0024】つまり、図10(b)に示すように、該ドットクロック発生回路では、水平同期信号Shと、ドットクロックDcの分周信号との位相比較の結果発生する電圧Vcによって、VCO回路15のドット・クロックDcの発振周波数が制御される。

【0025】通常、VCO回路は、該電圧Vcが高くなると、その発振周波数が高くなり、該電圧Vcが低くなると発振周波数が低くなるように設定されている。該電圧Vcが長期的に安定している程、VCO回路の発振周波数は安定するので、該電圧Vcの生成部の時定数は大きくとることが望ましい。具体的には、時定数を決めるためのキャパシタ(コンデンサ)の容量を大きくするなどの方法を用いる。

【0026】ところが、この場合、VCO回路の短期応答性は悪くなる。例えば、パソコン側で表示モードを切り替えて表示状態を変化させた場合、表示画像が安定するまで時間がかかることになり、この期間の表示は見苦しく好ましくない。逆に、上記VCO回路の応答特性をよくすれば、その長期安定性が損なわれることとなる。

【0027】加えて、実使用では、パソコン側での表示モードの変更により、水平同期周波数が20%程度変化することもあるため、ドットクロック発生回路を、水平同期周波数に対してある程度幅を持たせて設計する必要があり、その回路設計上の困難さが増すこととなる。

【0028】また、液晶パネル側で、パソコン側から入力される水平同期信号に基づいてドットクロックを生成する際に、パソコン側からドット・クロックが供給されれば、該ドットクロックの回路設計上の困難さは低減するが、パソコン側では、ドットクロックとして利用できる信号は生成されているが、そのままでは適さないので、適性な信号発生回路をパソコン側に増設する必要がある。

【0029】さらに、パソコンの信号出力用コネクタ及び出力信号の端子配置が規定されている現状では、ドットクロック出力用端子を増設する余裕はない。また、CRT表示器と液晶ディスプレイとの併用性を考慮すると、パソコンのビデオ信号出力部から出力される同期信号を、液晶ディスプレイに適したものに変更することは有効であると言えない。

【0030】本発明は上記のような問題点を解決するためになされたもので、パソコン側での大幅な仕様変更を招くことなく、液晶パネル側にドットクロックを生成するための信号を供給することができ、また、液晶パネル側でのドットクロックの生成を簡単なものとするとともに、ドットのちらつきや画面の揺れの無い安定した液晶パネルによる画像表示を得ることができる液晶表示システムを得ることを目的とする。

【0031】

【課題を解決するための手段】そこで、本件発明者は銳

意研究した結果、パソコンからのビデオ表示出力を液晶パネルで表示する液晶表示システムでは、液晶パネルが必要となるドット・クロックは、液晶ディスプレイ側で水平同期信号に同期させて発生させる方法が一般的であるのに対し、TV（テレビジョン）技術分野では、送信側で発生した色副搬送波の8～10サイクル分をカラー・バースト信号として、水平同期信号のバックボーチ部分に乗せて送信するようにし、これによってカラー信号を正確に復調する技法が使われている点に着目し、バースト状のドットクロックの液晶表示システムへの適用が有効であることを見いだした。

【0032】なお、デジタル信号処理の技術分野では、信号の供給側で発生したバースト信号を用いて、信号の被供給側での回路動作を制御する方法は、あまり一般的ではないし、本発明のように使われた例は見られない。

【0033】この発明（請求項1）に係る液晶表示システムは、カラービデオ信号を出力するビデオ信号出力部を有する演算処理装置と、該演算処理装置からのカラービデオ信号をアナログ信号ケーブルを介して受け、該カラービデオ信号をアナログ-デジタル変換したデジタル信号により画像表示を行う液晶表示装置とを備えている。

【0034】該演算処理装置のビデオ信号出力部は、バースト状のドットクロックを発生するクロック発生部と、水平同期信号あるいは垂直同期信号上にバースト状のドットクロック信号を重畠して合成同期信号を出力する同期合成回路とを有している。

【0035】該液晶表示装置は、該合成同期信号から水平同期信号あるいは垂直同期信号とバースト状のドットクロック信号とを分離する分離回路を有し、該分離されたバースト状のドットクロック信号に基づいて、該カラービデオ信号をアナログ-デジタル変換するためのサンプリング信号を作成するよう構成されている。そのことにより上記目的が達成される。

【0036】この発明（請求項2）は、請求項1記載の液晶表示システムにおいて、該演算処理装置のビデオ信号出力部を、前記同期合成回路の前段に設けられた、ドットクロック信号の周波数帯域を制限する帯域通過フィルタを備え、該帯域通過フィルタの出力として得られた狭帯域ドットクロック信号を、水平同期信号と合成する構成としたものである。

【0037】この発明（請求項3）は、請求項2記載の液晶表示システムにおいて、前記同期合成回路を、前記バースト状のドット・クロックに対して、その液晶表示装置側での振幅が、該液晶表示装置側で設定されている論理回路の閾値を越えないよう、振幅制限処理を施して、該バースト状のドット・クロックを前記水平同期信号あるいは垂直同期信号と合成する回路構成とし、該液晶表示装置側の分離回路を、該同期合成信号から、該振幅が制限されたバースト状のドット・クロックを、分離

可能な構成としたものである。

【0038】この発明（請求項4）に係る液晶表示システムは、カラービデオ信号を出力するビデオ信号出力部を有する演算処理装置と、該演算処理装置からのカラービデオ信号をアナログ信号ケーブルを介して受け、該カラービデオ信号をアナログ-デジタル変換したデジタル信号により画像表示を行う液晶表示装置とを備えている。

【0039】該演算処理装置のビデオ信号出力部は、該演算処理装置本体に着脱可能なビデオボード上に搭載されており、該ビデオ信号出力部は、ドット・クロックを発生するクロック発生部を有し、液晶表示装置側でのドット・クロックに対して、その液晶表示装置側での振幅が、該液晶表示装置側で設定されている論理回路の閾値を越えないよう振幅制限処理を施して、該ドット・クロックを該水平同期信号と合成する構成となっている。

【0040】該液晶表示装置は、該合成同期信号から水平同期信号とドットクロック信号とを分離する分離回路を有し、該分離されたドットクロック信号に基づいて、該カラービデオ信号をアナログ-デジタル変換するためのサンプリング信号を作成するよう構成されている。そのことにより上記目的が達成される。

【0041】以下作用について説明する。

【0042】本発明（請求項1）においては、演算処理装置（パソコン）のビデオ信号出力部で発生したバースト状のドットクロック信号を水平同期信号に重畠して、液晶表示装置に供給するようにしたから、パソコン側に設けられている現状の規格のコネクタを仕様変更する必要がない。

【0043】また、パソコン側で生成したドットクロック信号の一部が液晶パネルに供給されるので、液晶パネル側でのドットクロックの生成を、簡単な構成でもって、しかもパソコン側でのビデオデータの処理タイミングとのずれを小さく抑えて行うことができる。これにより、ドットのちらつきや画面の揺れの無い安定した液晶パネルによる画像表示を簡単に得ることができる。

【0044】この発明（請求項2）においては、演算処理装置（パソコン）側で発生したドットクロック信号の周波数帯域を制限して、液晶表示装置側に供給するようにしたので、ドットクロック信号がパルス状でなく、正弦状に近い波形の信号として送られることとなり、これにより高い周波数のクロック信号をケーブルを介して伝送する際の不要輻射を抑制することができる。

【0045】この発明（請求項3）においては、演算処理装置（パソコン）側で発生したバースト状のドットクロック信号を、液晶表示装置側でのドットクロック信号の振幅が、該液晶表示装置側で設定されている論理回路の閾値を越えないようその振幅を制限して送り出すようにしたので、高い周波数のクロック信号をケーブルを介して伝送する際の不要輻射のレベルを低減することができる。

きる。

【0046】この発明（請求項4）においては、演算処理装置本体に着脱可能なビデオボード上にビデオ信号出力部を搭載し、該ビデオ信号出力部を、ドット・クロック信号を発生し、水平同期信号に重畠して送り出すよう構成したので、ドットクロック信号をパソコン側で発生して液晶表示装置側に供給する機能を、簡単に既存のパソコンに増設することができる。

【0047】また、ドットクロックの周波数帯域及び振幅を制限しているため、高い周波数のクロック信号をケーブルを介して伝送する際の不要輻射による悪影響を大きく低減できる。

【0048】さらに、パソコン側で発生したドットクロックの全体が液晶表示装置側に供給されるため、液晶表示装置側ではドットクロックを発生する必要がなく、送られてきたドットクロックを用いて、アナログのビデオ入力信号のAD変換を行うことができる。しかも、液晶表示装置側でのドットクロック信号の振幅が、液晶表示装置側で設定されている論理回路の閾値を越えないよう、パソコン側でのドットクロックの振幅を制限しているので、上記水平同期信号に基づいて動作する論理回路部分では、水平同期信号に重畠されているドットクロックの影響を受けることがない。

【0049】

【発明の実施の形態】

（実施の形態1）図1は本発明の実施の形態1による液晶表示システムを説明するための図であり、図において、1000は本実施の形態1の液晶表示システムで、パソコン250と、該パソコン250からのビデオ表示出力に基づいて画像表示を行う液晶ディスプレイ100とから構成されている。該パソコン250は、パソコン本体260と、該パソコン本体260にアナログケーブル230を介して接続されたCRT表示器220とからなる。

【0050】そして、本実施の形態1では、上記パソコン本体260は、液晶ディスプレイ100にて必要となるバースト状のドット・クロックを水平同期信号に重畠して合成同期信号を出力する機能を有するビデオ信号出力部10を備えており、この点で、図10に示す従来のパソコン本体210と異なっている。

【0051】また、上記液晶ディスプレイ100は、図10に示す液晶ディスプレイ110における、ドット・クロックの発生回路120aに代えて、該合成同期信号を水平同期信号とバースト状のドット・クロックとに分離し、該バースト状のドット・クロックに基づいてドット・クロックを発生する回路100aを備えている。その他の構成は、図10に示す従来の液晶ディスプレイ110と同一である。

【0052】図2は、上記パソコン本体260のビデオ信号出力部10を説明するための図であり、図2（a）

はその構成を示すブロック図、図2（b）は該ビデオ信号出力部10におけるタイミング生成回路の具体的な構成を示すブロック図、図2（c）はビデオ信号V、及び該タイミング生成回路で発生する信号の波形を示す図である。

【0053】上記ビデオ信号出力部10では、タイミング生成回路14aは、画面表示制御回路22、デジタル・アナログ変換器23へ供給するタイミング信号S1、S2、水平同期信号Sh、及び垂直同期信号Svとともに、ドット・クロックDcを発生する回路構成となっており、また該ビデオ信号出力部10には、ドット・クロックDcを水平同期信号に重畠して合成する同期合成回路10aが設けられている。この同期合成回路10aには、上記タイミング生成回路14aから開閉スイッチ10bを介して上記ドット・クロックDcが供給されるようになっている。

【0054】ここで、上記画面表示制御回路22は、CPUバスまたはローカル・バスにつながれており、CPUから表示制御用コマンドを受け取り、CPUへステータスを返すようになっている。また、この制御回路22は、表示制御コマンドで設定された表示モードに応じて、タイミング生成回路14aからのタイミング信号に従って、ビデオ・メモリ21のメモリ領域上のR、G、Bそれぞれのデジタル画像データを出力するようになっている。この出力は、DAC（デジタル・アナログ変換器）23を介して、アナログ信号として出力される。ここで、DAC23は、タイミング生成回路14aからのサンプリング信号S2に従って、画面表示制御回路22から与えられるビデオ・メモリ21上のデジタル・データをアナログ信号に変換して出力する。なお、該DAC23に与えられるサンプリング信号S2は、ドット・クロックDcとして用いることができ、これを水平同期信号Shに重畠し、合成同期信号Maとして水平同期信号ラインに出力するようにしてもよい。

【0055】また、ここでは、受信側でのドット・クロックの位相遅れを考慮して、DAC23へのサンプリング信号S2の供給開始前から、数クロックを余分にドット・クロックDcとして同期合成回路10aに与えておくようしている。

【0056】また、上記タイミング生成回路14aは、原クロック信号Cを発生する原クロック発振回路1と、該原クロック信号Cを分周して、周波数の異なる複数のパルス信号P1、P2、Phとともに、ドット・クロックDcを出力する分周回路2とを有している。ここで、上記パルス信号Phは、第1の選択回路（1）3aにより開閉制御される第1のゲート4aを介して、水平同期信号Shとして同期合成回路10aに供給され、ドット・クロックDcは、第2の選択回路（2）3bにより開閉制御される第2のゲート4bを介して、バースト状のドット・クロック（以下、ドット・クロック・バースト

という。) Dcb として上記同期合成回路 10a に供給されるようになっている。ここで、上記第1及び第2の選択回路 3a, 3b は、それぞれ分周回路 2 から供給されるパルス信号 P1, P2 に基づいて上記第1, 第2のゲート 4a, 4b を開閉制御するよう構成されている。

【0057】図3は、本液晶表示システム 1000 で用いている液晶ディスプレイの構成を示す図であり、図3(a)はその構成を示すブロック図、図3(b)は該液晶ディスプレイにおける分離回路の具体的な構成を示すブロック図である。

【0058】上記液晶ディスプレイ 100 は、図10に示す従来の液晶ディスプレイ 110 と同様、液晶パネル 110a、走査ドライバ 140、データドライバ 150 を有するとともに、パソコン側から供給される合成同期信号 Ma から、ドット・クロック・バースト Dcb と、水平同期信号 Sh とを分離する分離回路 100a を有している。また、この液晶ディスプレイ 100 では、パソコン側からの垂直同期信号 Sv、及び分離された水平同期信号 Sh は、表示制御回路 101 を介して走査ドライバ 140 に供給され、また、該分離されたドット・クロック・バースト Dcb も、表示制御回路 101 を介してデータドライバ 150 に供給されるようになっている。

【0059】また、上記分離回路 100a は、合成同期信号 Ma から水平同期信号 Sh を抜き出す、パルス幅弁別回路からなる水平同期分離回路 31 と、合成同期信号 Ma からドット・クロック・バースト Dcb のみを抜き出す、パルス幅弁別回路からなるバースト分離回路 32 とを有している。

【0060】また、上記分離回路 100a には、該パソコン側で生成されたドット・クロック・バースト Dcb に、周波数及び位相を正確に一致させて連続的なドット・クロック Dc を発生させる、位相制御部 33a 及びクロック発振器 33b からなる自励型の発振回路 33 が設けられている。

【0061】次に動作について説明する。

【0062】上記のような構成のビデオ信号出力部 10 では、ビデオ信号及び同期信号は以下のようにして出力される。

【0063】まず、タイミング生成回路 14a の原クロック発振回路 1 では、ドット・クロック Dc の2倍の周波数の信号が原クロック C として生成される。分周回路 2 では、該原クロック C を 1/2 分周し、これをドット・クロック Dc として第2のゲート 4b へ供給する。この時、該第2のゲート 4b は、分周回路 2 からのパルス信号 P2 に基づいて第2の選択回路 3b により開閉制御されており、ゲート 4b の出力側には、ドット・クロック Dc から水平同期パルス幅よりやや狭い幅で、かつ水平同期信号と同一のパルス間隔で波形を抜き出してなるバースト状のドット・クロック(ドット・クロック・バースト) Dcb が得られ、これがスイッチ 10b を介し

て上記同期合成回路 10a に供給される。なお、図2(b)では同期合成回路前段のスイッチ 10b は図示していない。

【0064】一方、上記第1のゲート 4a には、水平同期パルスと同一のパルス幅を持つ分周出力 Ph が分周回路 2 から供給される。この時、該第1のゲート 4a は、分周回路 2 からのパルス信号 P1 に基づいて第1の選択回路 3a により開閉制御されており、ゲート 4a の出力側には、水平同期信号 Sh が得られ、これが上記同期合成回路 10a に供給される。

【0065】そして、該同期合成回路 10a からは、上記ドット・クロック・バースト Dcb が水平同期信号 Sh に重畳された合成同期信号 Ma がパソコンのコネクタ 221 へ出力される。

【0066】なお、通常、水平同期信号の幅やバックボーチ、フロントボーチの幅は、パソコンの機種、表示モード毎に異なっているが、水平同期のパルス幅は、大体 2~8 μsec の範囲にある。これに対して、ドット・クロックの周波数は SVGA で 60~140 MHz、パルス幅は大体 3~8 nsec 程度(1 サイクルは、7~17 nsec) が必要である。このようなことからバースト信号で位相制御を行うために、最低 8~10 サイクル程度のバースト・パルスがあればよい。

【0067】これを水平同期信号の立ち上がり部、あるいは立ち上がり部から一定時間離れた所から重畳する場合、バースト信号の継続時間は、大体 56~170 nsec であり、多目に見積もっても水平同期パルス幅の 10% 以下(水平同期のパルス幅 2 μsec に対し、バースト信号の継続時間が 170 nsec の場合は 8.5% である。) であるので、水平同期信号の期間に上記バースト・パルスを重畳することに時間上の制約は生じない。

【0068】また、この時、上記タイミング生成回路 14a からは、第1のサンプリング信号 S1 が上記画面表示制御回路 22 に供給されており、該制御回路 22 では、該信号 S1 に基づいてビデオ・メモリ 21 から、R, G, B それぞれデジタル画像データが読み出されて、デジタルアナログ変換器 23 に供給され、該変換器 23 では、タイミング生成回路 14a からの第2のサンプリング信号 S2 に基づいて、上記 R, G, B それぞれデジタル画像データがアナログビデオ信号 Vr, Vg, Vb(以下、これらの信号をまとめてビデオ信号 V という。) に変換されて、パソコンのコネクタ 221 へ出力される。

【0069】そして、上記パソコン 250 からコネクタ 221 及びアナログケーブル 130 を介して、上記アナログビデオ信号 V、合成同期信号 Ma、及び垂直同期信号 Sv が液晶ディスプレイ 100 に供給されると、アナログビデオ信号 V は、データドライバ 150 に供給され、垂直同期信号 Sv は表示制御回路 101 に供給さ

れ、さらに、上記合成同期信号M_aは、分離回路100aに供給される。

【0070】該分離回路100aでは、パルス幅弁別回路からなる水平同期分離回路31によりドット・クロック・バーストD_{c b}が除去されて水平同期信号のみが取り出され、パルス幅弁別回路からなるバースト分離回路32により、ドット・クロック・バーストD_{c b}のみが抜き出される。なお、デジタル的なパルス幅弁別回路により狭い幅のパルスのみを除去する方法に代えて、アナログ的な低域通過フィルタを用いてもよいが、この場合には位相の遅れに留意する必要がある。

【0071】上記合成同期信号M_aから取り出された水平同期信号S_hは、表示制御回路101を介して走査ドライバ140に供給される。またドット・クロック・バーストD_{c b}は、位相制御部33a及びクロック発振器33bからなる自励型の発振回路33に供給され、ここでは、ドット・クロック・バーストD_{c b}に基づいて、パソコン側のD_AC23でのサンプリング信号に正確に同期したドット・クロックD_cが生成される。このドット・クロックD_cは表示制御回路101を介してデータドライバ150に供給される。

【0072】このように本実施の形態では、パソコンのビデオ信号出力部で発生したバースト状のドットクロック信号を水平同期信号に重畳して、液晶表示装置に供給するようにしたから、パソコン側に設けられている現状の規格のコネクタを仕様変更する必要がない。

【0073】また、パソコン側で原クロックに基づいて生成したドットクロック信号の一部が液晶パネルに供給されるので、液晶パネル側でのドットクロックの生成を、簡単な構成でもって、しかもパソコン側でのビデオデータの処理タイミングとのずれを小さく抑えて行うことができる。これにより、ドットのちらつきや画面の揺れの無い安定した液晶パネルによる画像表示を簡単に得ることができる。

【0074】また、表示モードが変更されて上記原クロックの周波数が変わっても、液晶パネル側では、パソコン側からのドット・クロック・バーストに基づいて正確のドット・クロックD_cを再生することができる。

【0075】さらに、水平同期信号とドット・クロック・バーストの合成及び分離は、デジタル的に行なうことは比較的容易であり、つまり、ドット・クロック・バーストを、論理値を変化させる程度の振幅レベルで水平同期信号と重畳する場合は、通常の論理ゲートで容易にこれらの合成を行うことができる。

【0076】また、水平同期信号に重畳するドット・クロック・バーストの振幅を、論理レベルの変化が生ずる大きさに設定する方式は、受信側で（液晶パネル側）での主に論理回路を用いた、該ドット・クロック・バーストの抜き出しと水平同期信号の再生・処理に適している。

【0077】また、ドット・クロック・バーストの周波数が水平同期信号の周波数に比べて2～3桁以上高いことに加え、重畳する期間を限定しておけば、CRT表示器に、上記ドット・クロック・バーストと水平同期信号との同期合成信号をそのまま供給しても、ほとんど悪影響はない。

【0078】また、ドット・クロック・バーストが不要な場合、発信側（パソコン側）で、上記オンオフスイッチ10b（これは機械的スイッチに限らず電子的なスイッチ回路でもよい。）によって、バースト信号を停止させることができる。

【0079】なお、上記実施の形態1では、バースト状のドット・クロックを矩形波のまま水平同期信号に重畳する構成を示したが、バースト状のドット・クロックの周波数帯域を制限して、水平同期信号に重畳するようにしてもよい。以下このような構成例を実施の形態2として説明する。

【0080】（実施の形態2）図4は本発明の実施の形態2による液晶表示システムを説明するための図であり、パソコン本体260に搭載されたビデオ信号出力部10のタイミング生成回路14bの構成を示している。

【0081】この実施の形態2では、第2のゲート4bの出力を帯域制限フィルタ5を介して同期合成回路10aに供給するようにしている点のみ上記実施の形態1と異なっている。

【0082】すなわち、分周回路2から第2のゲート4bに供給されたドット・クロックD_cは、第2の選択回路3bによる該ゲート4bの開閉により、ドット・クロック・バーストD_{c b}となり、帯域通過フィルタ5に供給される。該フィルタ5では、ドット・クロック・バーストD_{c b}の周波数帯域が制限されるため、該ドット・クロック・バーストD_{c b}は、図4（b）に示すような狭帯域ドット・クロック・バーストD_{c b r}となって、同期合成回路10aに供給される。そして同期合成回路10aでは、該狭帯域ドット・クロック・バーストD_{c b r}が水平同期信号S_hに重畳されて、合成同期信号M_bが送出される。ここでは、狭帯域ドット・クロック・バーストD_{c b r}は、ドット・クロック・バーストD_{c b}の基本周波数の第5高調波程度まで含むものとなっている。

【0083】その他の回路動作は、上記実施の形態1の同一であるので省略する。

【0084】このような構成の実施の形態2では、上記実施の形態1における効果に加えて、パソコン側で発生したドットクロック信号の周波数帯域を制限して、液晶表示装置側に供給するようにしたので、ドットクロック信号がパルス状でなく、正弦状に近い波形の信号として送られることとなり、これにより高速のクロック信号をケーブルを介して伝送する際の不要輻射を抑制することができる。

【0085】また、ドット・クロックの再生に対しては、同期信号が矩形波状でなく、正弦波状であっても、有効であることは、カラーTVにおけるカラー・バースト信号に見られる通りである。

【0086】なお、上記フィルタ5は、帯域制限用のものであり、高域通過及び低域通過フィルタを組み合わせて、ドット・クロックの基本周波数近傍を通過させるよう構成されているが、上記帯域制限フィルタは、インダクタンス(L)とキャパシタンス(C)とから成る高周波同調回路あるいは分布定数同調回路等で構成することもできる。

【0087】また、上記実施の形態1及び2では、ドット・クロック・バーストと水平同期信号との合成を、合成後のドット・クロック・バーストが、論理回路の論理値を変化させる振幅を持つよう行う構成を示したが、上記合成は、ドット・クロック・バーストが、論理値を変化させない振幅を持つよう行うものでもよい。以下このような構成を、実施の形態3として説明する。

【0088】(実施の形態3) 図5は本発明の実施の形態3による液晶表示システムを説明するための図であり、パソコン本体260に搭載されたビデオ信号出力部10のタイミング生成回路14cの構成を示している。

【0089】この実施の形態3では、第2のゲート4bの出力(ドット・クロック・バーストDcb)を帯域制限フィルタ5及び減衰器(アンプ)6を介して同期合成回路10cに供給するようにしており、また該同期信号合成回路10cは、帯域及び振幅が制限されたドット・クロック・バーストDcb'rと水平同期信号Shとをアナログ的に合成し、合成した後は、論理回路を通さずに出力するようにしている。上記同期合成回路10cでは、ドット・クロックを抜き出すゲート信号(選択回路(2)の出力)により、水平同期信号出力を高インピーダンス状態にし、この期間に周波数占有帯域を制限したドット・クロックを挿入するようにしている。その他の構成は、上記実施の形態2と同一である。

【0090】上記アナログ的な信号の合成では、上記ドット・クロック・バーストDcb'rには、振幅の中央値に相当するバイアスを加えて、ロー側で飽和しないようにし、ハイ側で論理閾値を超えないようにレンジを設定する。例えば、+5Vで動作させる標準論理(ロジック)回路では、通常、ロー側は+0Vが下限であるため、+1Vを超えず、ハイ側は+5Vが上限であるため、+2.5Vを下回らないようにする。

【0091】ここでは、ドット・クロック・バーストDcb'rを水平同期信号の同期パルス期間H1に重畠しているので、バイアスを+0.3V、振幅を±0.3V程度とする。

【0092】なお、ドット・クロック・バーストDcb'rは、水平同期信号の同期パルスのない期間H2に重畠することもでき、この場合は、バイアスを+4.7

V、振幅を±0.3程度とする。

【0093】この実施の形態3においては、パソコン側で発生したバースト状のドットクロックを、液晶表示装置側でのドット・クロックの振幅が、該液晶表示装置側で設定されている論理回路の閾値を越えないようその振幅を制限して送り出すようにしたので、高い周波数のクロック信号をケーブルを介して伝送する際の不要輻射のレベルを低減することができる。

【0094】またこの実施の形態3の構成は、バースト状のドット・クロックの振幅が制限されているため、ビデオ表示出力についての、CRT用表示信号とLCD用表示信号の両立性を維持し、かつ水平同期信号にドット・クロックを追加するのに適したものとなっている。

【0095】(実施の形態4) 図6は本発明の実施の形態4による液晶表示システムを説明するための図であり、パソコン本体260に搭載されたビデオ信号出力部10のタイミング生成回路14dの構成を示している。

【0096】この実施の形態4では、分周回路2から出力されるドット・クロックDcを、フィルタ5により狭帯域のドット・クロックDcrにし、さらに減衰器(アンプ)6により振幅を制限して同期合成回路10cに供給するようにしており、また該同期信号合成回路10cは、帯域及び振幅が制限されたドット・クロックDcr' と水平同期信号Shとをアナログ的に合成し、合成した後は、論理回路を通さず出力するようにしている。

【0097】上記アナログ的な信号の合成では、上記ドット・クロック・バーストDcb'rには、振幅の中央値に相当するバイアスを加えて、ロー側で飽和しないようにし、ハイ側で論理閾値を超えないようにレンジを設定する。例えば、+5Vで動作させる標準論理(ロジック)回路では、通常、ロー側は+0Vが下限であるため、+1Vを超えず、ハイ側は+5Vが上限であるため、+2.5Vを下回らないようにする。具体的には、ドット・クロック・バーストDcb'rを水平同期信号の同期パルス期間H1に重畠する時には、バイアスを+0.3V、振幅を±0.3V程度とし、ドット・クロック・バーストDcb'rを、水平同期信号の同期パルスのない期間H2に重畠するときには、バイアスを+4.7V、振幅を±0.3程度としている。

【0098】図7は本実施の形態4による液晶表示システムを説明するための図であり、液晶ディスプレイ100に搭載された分離回路100bの構成を示している。

【0099】この分離回路100bは、合成同期信号Mcから水平同期信号Shを抜き出す水平同期分離回路31と、合成同期信号Mcからドット・クロックDcrを抜き出すための増幅回路35と、ドット・クロックDcrの位相補正を行うための位相補正回路36とから構成されている。この位相補正回路では、ドット・クロックDcrのパルスを、水平同期信号の立ち上がりから数えて所定個目のものから出力するという制御も行っており、

これによりビデオ信号のブランкиング期間が表示されてしまうのを防止するようにしている。

【0100】本実施の形態では、ドット・クロックの最大振幅は、同期合成信号M dの振幅が液晶ディスプレイ側の論理回路の論理値を変えない範囲に設定しており、液晶ディスプレイ側では、水平及び垂直同期信号は、直接論理回路を介して取り出し、ドット・クロックは、振幅が論理レベルに達するまで増幅回路35で増幅し、位相補正回路36で位相補正をして取り出す。

【0101】また、増幅等によりビデオ信号に対するドット・クロックD cの位相遅れは避けられないで、次に位相が合うまで手前のドット・クロックを遅らせる手法を採用している。この手法は、発信側でビデオ信号のサンプリングに先立ってドット・クロック信号を附加してあるため、とることができる。また、この位相調整は、上記位相補正回路で行うことができる。

【0102】なお、上記実施の形態4では、ドット・クロックD cをフィルタ5により帯域を制限するようにしているが、ドット・クロックD cをそのままアンプ6に供給するようにしてもよい。

【0103】また、上記各実施の形態では、ドット・クロック・バーストあるいはドット・クロックを、水平同期信号に重畳する場合について示したが、これを垂直同期信号に重畳するようにしてもよい。

【0104】

【発明の効果】以上のように本発明によれば、パソコン等からのビデオ信号に基づいて液晶ディスプレイにて画像表示を行うシステムにおいて、液晶ディスプレイ側で必要となるドット・クロックあるいはその一部をパソコン側から供給するようにしたので、液晶表示装置側にて、該ドット・クロックを極めてクリティカルなPLL、VCO回路のみにより生成する方法に比べ、発信側(パソコン側)で用意したドット・クロック・バーストを基にドット・クロックを生成したり、あるいは発信側からのドット・クロックをそのまで位相補正をして使用したりできる点で優れており、これによって安定でクリッキリした表示が得られる液晶表示システムを実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による液晶表示システムを説明するための図である。

【図2】上記液晶表示システムに用いられているパソコン本体のビデオ信号出力部を説明するための図であり、図2(a)はその構成を示すブロック図、図2(b)は該ビデオ信号出力部におけるタイミング生成回路の具体的な構成を示すブロック図、図2(c)はビデオ信号V、及び該タイミング生成回路で発生する信号の波形を示す図である。

【図3】上記液晶表示システムで用いている液晶ディスプレイの構成を示す図であり、図3(a)はその構成を

示すブロック図、図3(b)は該液晶ディスプレイにおける分離回路の具体的な構成を示すブロック図である。

【図4】本発明の実施の形態2におけるパソコン本体部を説明するための図であり、図4(a)は該ビデオ信号出力部におけるタイミング生成回路の具体的な構成を示すブロック図、図4(b)はビデオ信号V、及び該タイミング生成回路で発生する信号の波形を示す図である。

【図5】本発明の実施の形態3におけるパソコン本体部を説明するための図であり、図5(a)は該ビデオ信号出力部におけるタイミング生成回路の具体的な構成を示すブロック図、図5(b)はビデオ信号V、及び該タイミング生成回路で発生する信号の波形を示す図である。

【図6】本発明の実施の形態4におけるパソコン本体部を説明するための図であり、図6(a)は該ビデオ信号出力部におけるタイミング生成回路の具体的な構成を示すブロック図、図6(b)はビデオ信号V、及び該タイミング生成回路で発生する信号の波形を示す図である。

【図7】上記実施の形態4における液晶ディスプレイ部を説明するための図であり、液晶ディスプレイ部における分離回路の構成を示している。

【図8】演算処理装置の1種であるパソコンを説明するための図であり、図8(a)は、パソコンの外観を示す図、図8(b)はパソコン本体内部の構造を示す図、図8(c)はパソコン本体とCRT表示部とを接続するコネクタの構造を示す図である。

【図9】上記パソコンのビデオ信号生成部の回路構成を示すブロック図である。

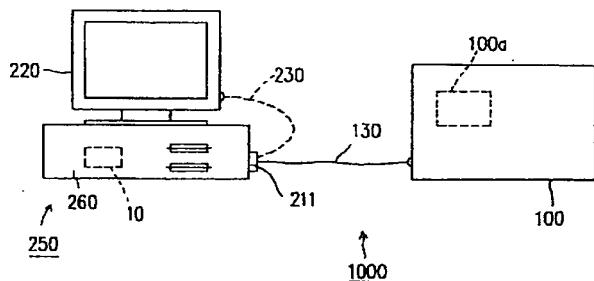
【図10】図10(a)はパソコン本体からのビデオ表示信号を液晶ディスプレイにより画像表示するシステムを示す図、図10(b)は、液晶パネル側に設けられたドットクロック信号の生成回路を示すブロック図である。

【符号の説明】

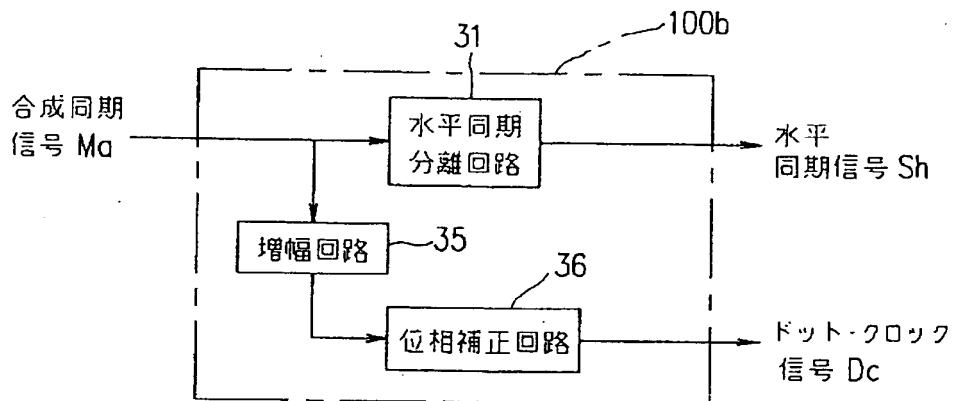
- 1 原クロック発振回路
- 2 分周回路
- 3 a, 3 b 第1, 第2の選択回路
- 4 a, 4 b 第1, 第2のゲート
- 5 フィルタ
- 6 減衰器(アンプ)
- 10 ビデオ信号出力部
- 10 a 同期合成回路
- 10 b オンオフスイッチ
- 14 a, 14 b, 14 c, 14 d タイミング生成回路
- 21 ビデオメモリ
- 22 画面表示制御回路
- 23 デジタル-アナログ変換器(DAC)
- 31 水平同期分離回路
- 32 バースト分離回路
- 33 自励型の発振回路
- 33 a 位相制御部

33b クロック発振器	210b ビデオボード
35 増幅回路	211 コネクタ
36 位相補正回路	220 CRT表示器
100 液晶ディスプレイ	250 パソコン
100a 分離回路	260 パソコン本体
101 表示制御回路	1000 液晶表示システム
110a 液晶パネル	Dc ドット・クロック
114 走査信号線	Dcb ドット・クロック・バースト
115 データ信号線	Dcbr 帯域制限ドット・クロック・バースト
130, 230 アナログケーブル	Ma, Mb, Mc, Md 合成同期信号
140 走査ドライバ	Sh 水平同期信号
150 データドライバ	V ビデオ信号
210a マザーボード	

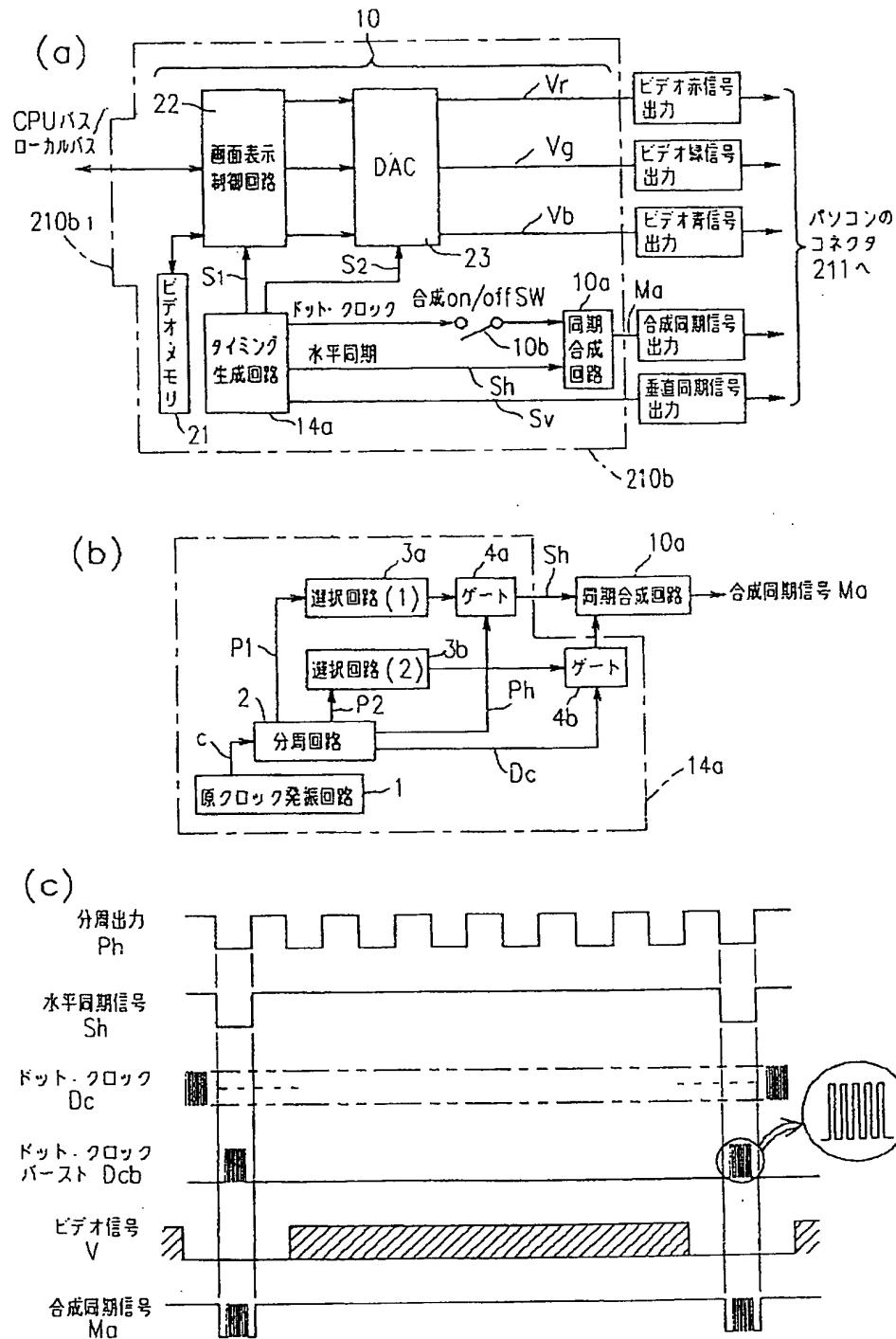
【図1】



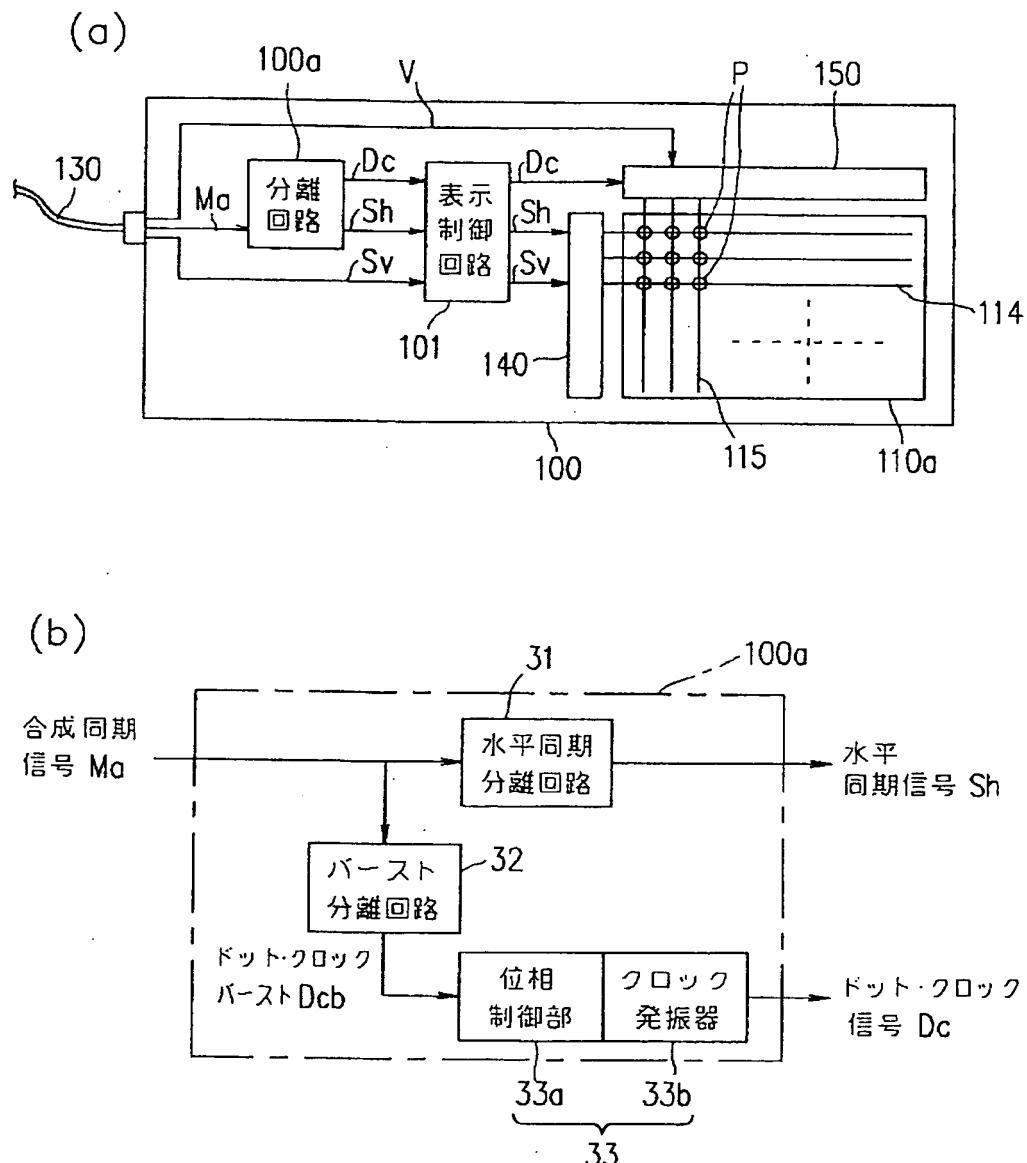
【図7】



【図2】

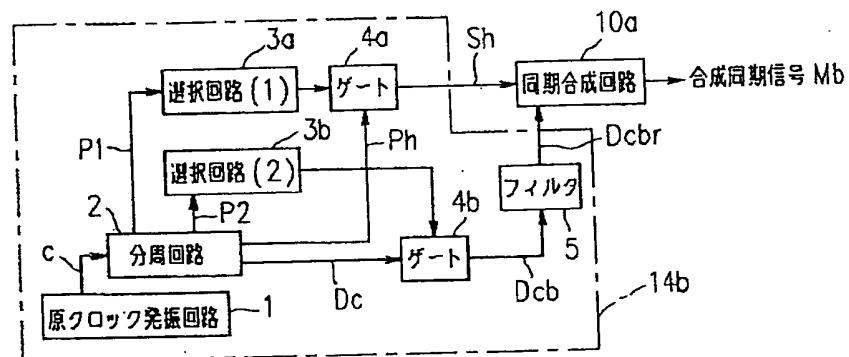


【図3】

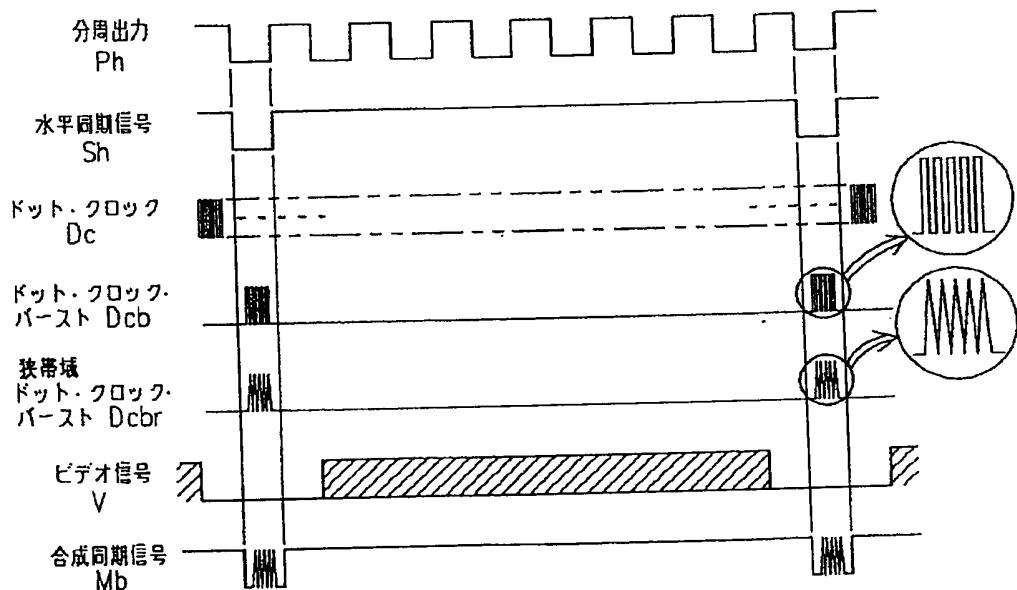


【図4】

(a)

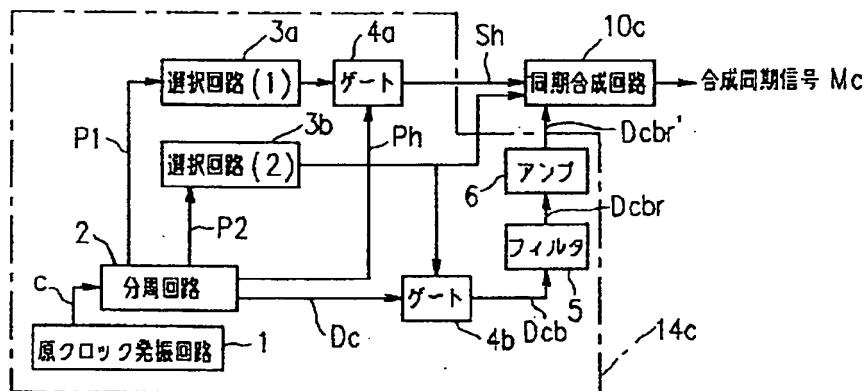


(b)

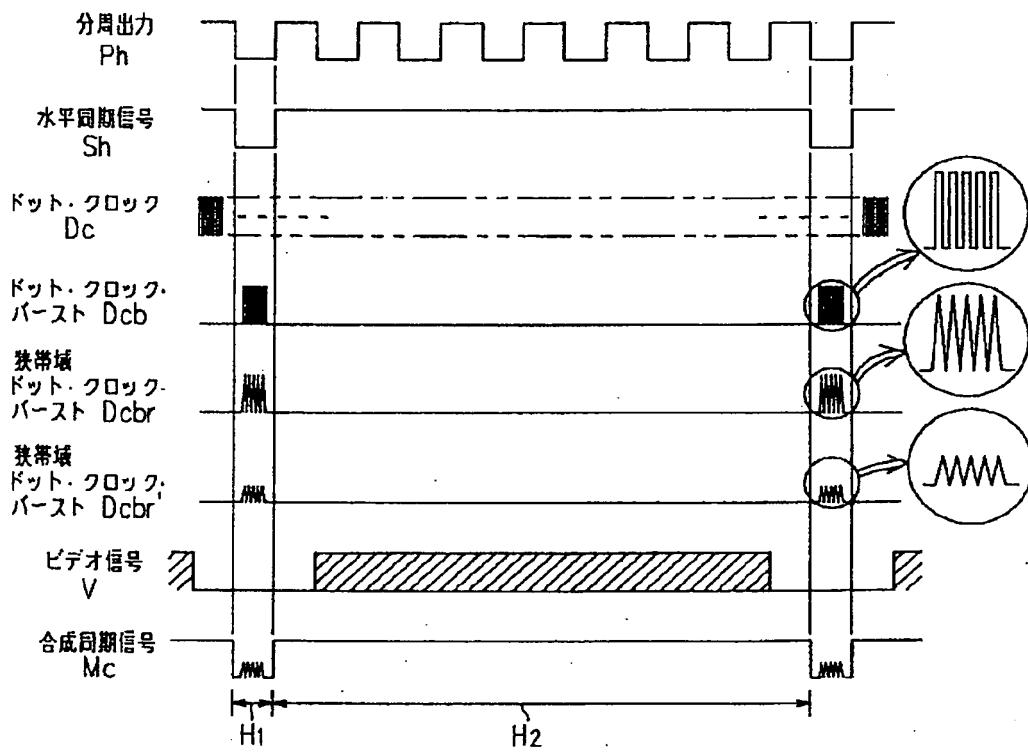


【図5】

(a)

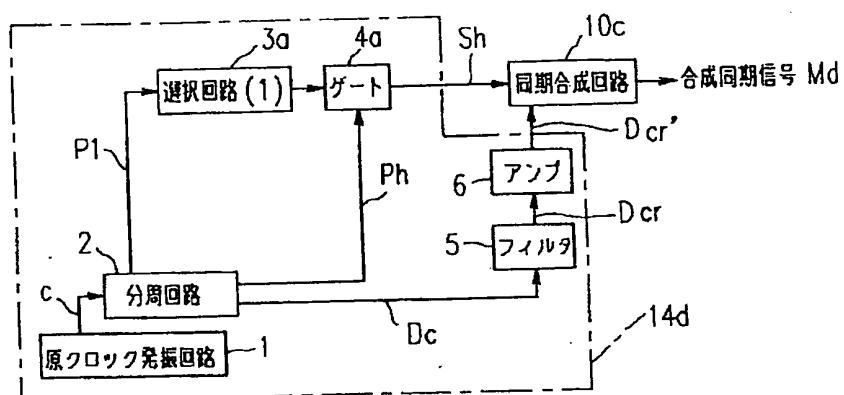


(b)

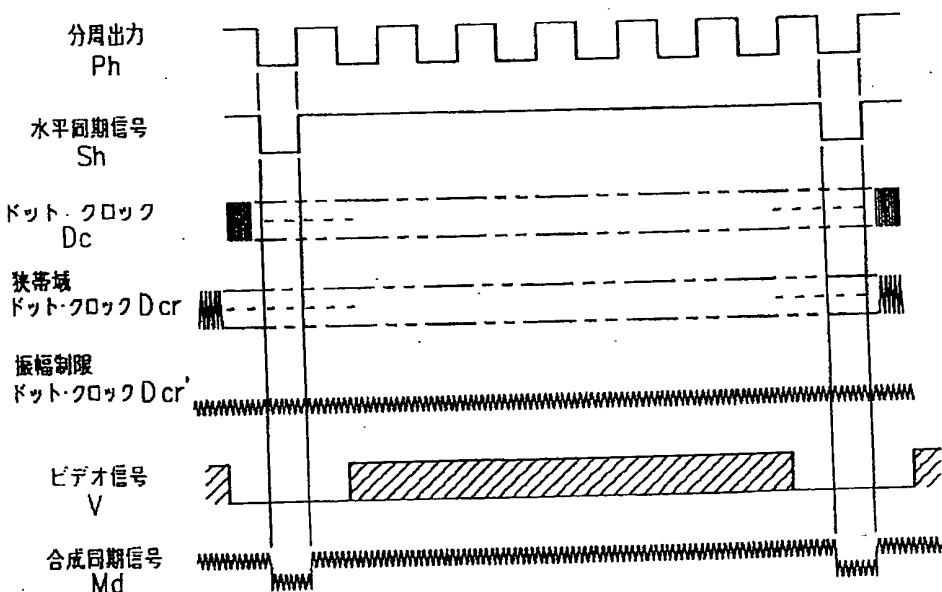


【図6】

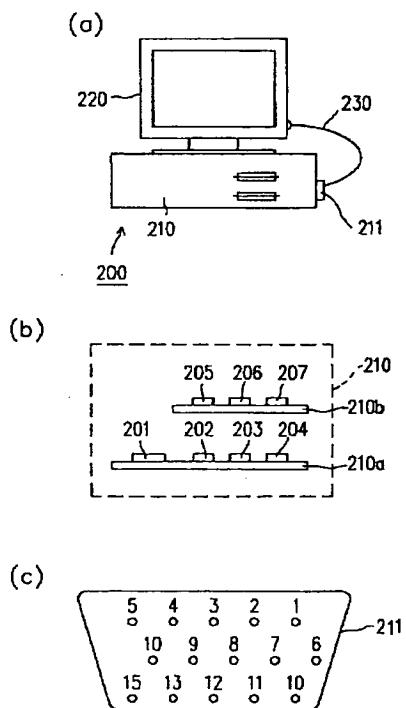
(a)



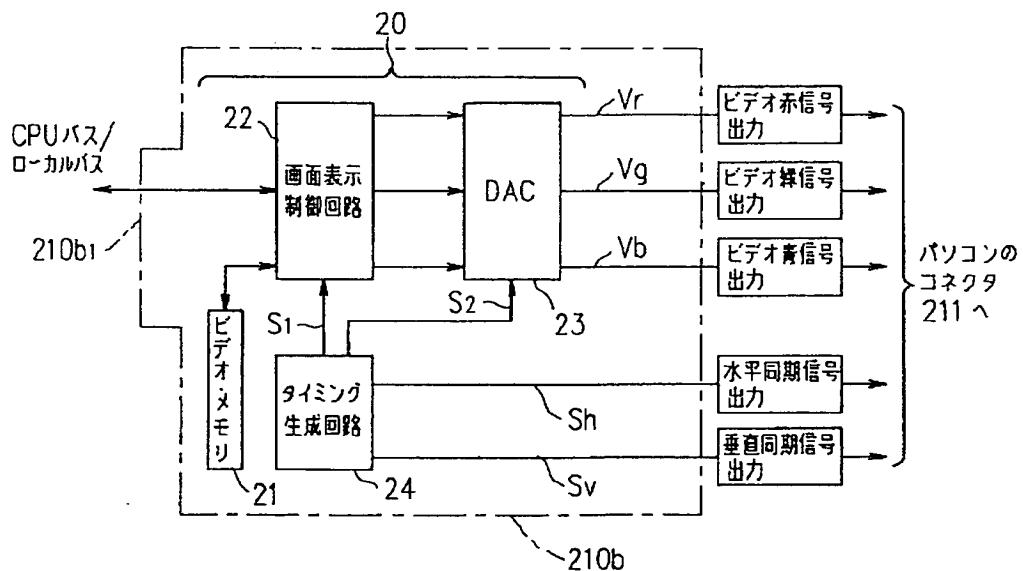
(b)



【図8】

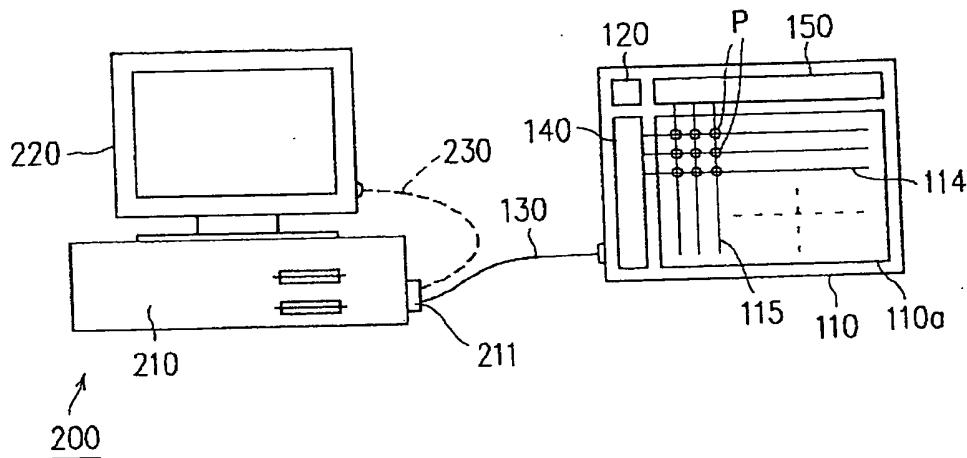


【図9】

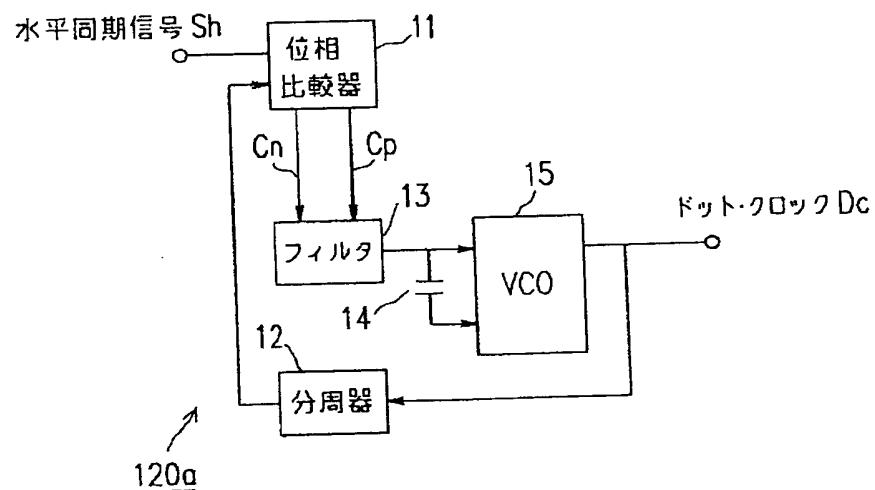


【図10】

(a)



(b)



フロントページの続き

(72)発明者 水本 幸弘
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャーブ株式会社内